

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-031195

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

G11C 29/00

G06F 12/08

(21)Application number : 06-162267

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.07.1994

(72)Inventor : KOZARU KUNHIKO

WADA TOMOHISA

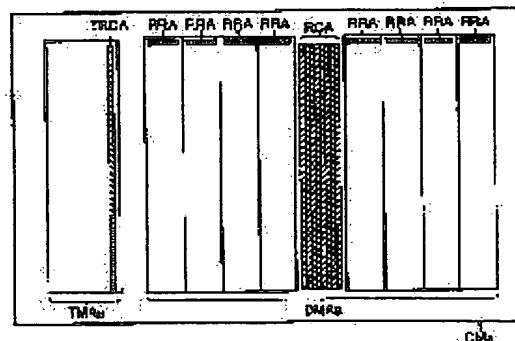
SATO HIROTOSHI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To obtain a semiconductor memory which can perform the optimum relief of a defective memory cell for each memory included inside.

CONSTITUTION: In order to relieve a defective memory cell of a data memory arranged in a data memory region DMAa, a relieving circuit using a redundant relieving system having good relieving efficiency is arranged in a redundant row region RRA and a redundant column region RCA, even if access penalty occurs somewhat. On the other hand, in order to relieve a defective memory cell of a tag memory arranged in a tag memory region TMAa, a relieving circuit using a redundant relieving system having less access penalty is arranged in a redundant column region TRCA, even if relieving efficiency is not so good. Therefore, the optimum relief of a defective memory cell can be performed in accordance with each function of a tag memory and a data memory.



LEGAL STATUS

[Date of request for examination] 21.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-31195

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.⁶

G 1 1 C 29/00

G 0 6 F 12/08

識別記号

3 0 1 B

3 1 0 Z

庁内整理番号

9459-5L

7623-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21)出願番号 特願平6-162267

(22)出願日 平成6年(1994)7月14日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小猿 邦彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(72)発明者 和田 知久

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(74)代理人 弁理士 深見 久郎 (外3名)

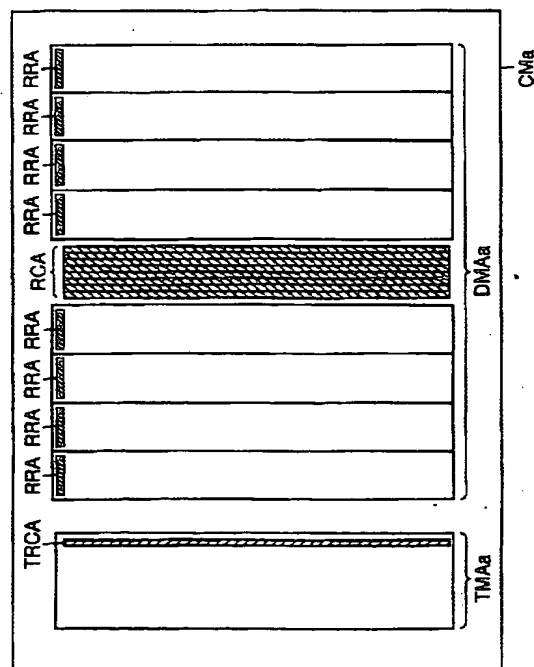
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 内部に含まれる各メモリごとに不良メモリセルの最適な救済を行なうことができる半導体記憶装置を提供する。

【構成】 データメモリ領域DMAaに配置されるデータメモリの不良メモリセルの救済には、多少アクセスペナルティはあっても救済効率のよい冗長救済方式を用いた救済回路を冗長 ROW 領域 RRA および冗長カラム領域 RCA に配置する。一方、タグメモリ領域 TMAa に配置されるタグメモリの不良メモリセルの救済には、救済の効率はあまりよくなくてもアクセスペナルティが少ない冗長救済方式を用いた救済回路を冗長カラム領域 TRCA に配置する。したがって、タグメモリおよびデータメモリの各機能に応じた不良メモリセルの最適な救済を行なうことが可能となる。



1

【特許請求の範囲】

【請求項1】 同一チップ上に集積され、それぞれが異なる機能を有する第1および第2メモリを含む半導体記憶装置であって、

前記第1メモリは、

第1冗長救済方式によりメモリセルの不良を救済する第1救済手段を含み、

前記第2メモリは、

前記第1冗長救済方式と異なる第2冗長救済方式によりメモリセルの不良を救済する第2救済手段を含む半導体記憶装置。

【請求項2】 前記半導体記憶装置は、タグメモリ内蔵キャッシュメモリを含み、

前記第1メモリは、タグメモリを含み、

前記第2メモリは、データメモリを含み、

前記第1救済手段は、前記第2救済手段よりメモリセルの不良救済時のアクセスタイムが速く、

前記第2救済手段は、前記第1救済手段よりメモリセルの不良の救済効率が高い請求項1記載の半導体記憶装置。

【請求項3】 前記第1救済手段は、前記タグメモリの行および列方向のうち一方のメモリセルの不良を救済する手段を含み、

前記第2救済手段は、

前記データメモリの行方向のメモリセルの不良を救済する行方向救済手段と、

前記データメモリの列方向のメモリセルの不良を救済する列方向救済手段とを含む請求項2記載の半導体記憶装置。

【請求項4】 同一チップ上に集積され、それぞれが異なる機能を有する第1および第2メモリを含む半導体記憶装置であって、

前記第1メモリは、複数の第1メモリセルを含み、

前記第2メモリは、前記第1メモリセルと種類の異なる複数の第2メモリセルを含む半導体記憶装置。

【請求項5】 前記半導体記憶装置は、タグメモリ内蔵キャッシュメモリを含み、

前記第1メモリは、タグメモリを含み、

前記第2メモリは、データメモリを含み、

前記第1メモリセルは、前記第2メモリセルよりソフトエラー率が低い請求項4記載の半導体記憶装置。

【請求項6】 同一チップ上に集積され、それぞれが異なる機能を有する第1および第2メモリを含む半導体記憶装置であって、

前記第1メモリは、複数の第1メモリセルを含み、

前記第2メモリは、前記第1メモリセルとメモリサイズが異なる複数の第2メモリセルを含む半導体記憶装置。

【請求項7】 前記半導体記憶装置は、タグメモリ内蔵キャッシュメモリを含み、

前記第1メモリは、タグメモリを含み、

2

前記第2メモリは、データメモリを含み、

前記第1メモリセルは、前記第2メモリセルよりメモリサイズが大きく、かつ、ソフトエラー率が低い請求項6記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関し、特に、タグメモリを内蔵したキャッシュメモリに関するものである。

【0002】

【従来の技術】 以下、従来の半導体記憶装置であるキャッシュメモリについて図面を参照しながら説明する。まず、従来のメモリの階層構造について説明する。図14は、従来のメモリの階層構造を示す図である。CPU（中央演算処理装置）201は、キャッシュメモリ202と接続される。キャッシュメモリ202は主記憶装置203と接続される。図14に示す構成は、システム全体の性能を上げるための構成である。つまり、プログラムの中で最もよくアクセスされる部分のみを主記憶装置からCPU201の近くに配置した比較的小容量な高速メモリであるキャッシュメモリにコピーしておく。上記のようにメモリを階層化して平均メモリアクセス時間を短縮する手法が一般的に用いられている。

【0003】 図15は、従来のキャッシュメモリの概略を示す図である。図15を参照して、キャッシュメモリ202は、タグメモリ領域204、データメモリ領域205を含む。データメモリ領域205には、主記憶装置203の一部のデータをコピーして記憶するデータメモリが形成される。また、タグメモリ領域204には、データメモリのデータのアドレスの一部を記憶するタグメモリが形成される。

【0004】 次に、キャッシュメモリの動作について説明する。図16は、従来のキャッシュメモリの論理的な構成を示す図である。

【0005】 図16を参照して、キャッシュメモリは、ステータスバリッドビット領域206、タグメモリ領域207、データメモリ領域208、比較論理回路210を含む。

【0006】 外部からキャッシュメモリに与えられるアドレスビット列214は、キャッシュメモリの構成に対応して、最も上位のタグ部215（たとえば、16ビット）と、中間のインデックス部216（たとえば、12ビット）、最も下位のオフセット部217（たとえば、4ビット）を含む。アクセスされるキャッシュメモリのデータの位置を示すエントリ209は、インデックス部216によって一義的に決められる。すなわち、12ビットのインデックス部216は、エントリ209の個数に対応している。したがって、エントリ209の個数は、この場合、4096個となる。

【0007】 外部からアドレスビット列214が与えら

れると、まず、インデックス部216のビット列がデコードされ、4096個のエントリ209のうちの1つが選択される。次に、選択されたエントリのデータメモリ領域208のデータ（たとえば、128ビット）、タグメモリ領域207のタグデータTD（たとえば、16ビット）、およびステータスバリッドビット領域206のステータスバリッドビットデータSV（たとえば、1ビット）が読出される。読出されたタグデータTDおよびステータスバリッドビットデータSVは、比較論理回路210へ入力される。また、アドレスビット列214のタグ部215のデータATDも比較論理回路210へ入力される。比較論理回路210は、比較回路211、AND回路213を含む。比較回路211は、読出されたタグデータTDとアドレスビット列214のタグ部215のデータATDとを比較し、比較結果をAND回路213へ出力する。AND回路213には、ステータスバリッドビットデータSVが入力され、入力した両データの論理積がヒット信号HITまたはミス信号MISSとして出力される。つまり、タグデータTDとタグ部215のデータATDとが一致し、かつ、ステータスバリッドビットデータSVがバリッドすなわち有効状態のときにのみヒット信号HITが外部に出力され、外部に出力されたデータDATAが正しいデータであることを伝える。また、比較論理回路210は、ステータスバリッドビットデータSVがインバリッドすなわち無効状態のときには、ミス信号MISSを外部に出力し、外部に出力されたデータDATAが無効であることを伝える。

【0008】次に、図16に示すキャッシュメモリのメモリ領域についてさらに詳細に説明する。図17は、図16に示すキャッシュメモリのメモリ領域を構成するメモリブロックの構成を示す図である。図16に示すキャッシュメモリのメモリ領域は、実際には、図17に示すメモリブロックを複数個組合わせて構成される。

【0009】図17を参照して、メモリブロックは、行および列方向にマトリクス状に配置された複数のメモリセルMC、行方向を選択するためのワード線R1~Rn、メモリセルMCが接続された相補のビット線対C1~Cn、マルチプレクサ223、ビット線周辺回路222、行デコーダ221、列デコーダ224を含む。

【0010】メモリセルMCは、1ビットの情報を蓄える。行デコーダ221は、外部からのメモリセルMCの選択指令に応答してワード線R1~Rnのうちの1本を選択する。選択されたワード線に接続されたすべてのメモリセルMCは、活性化され、データの読出/書込が可能となる状態となる。列デコーダ224は、外部からのメモリセルMCの選択指令に応じて複数のビット線対C1~Cnのうち1対のビット線対が選択される。

【0011】

【発明が解決しようとする課題】従来のキャッシュメモリでは、一般に、タグメモリの容量は、データメモリの

容量に比べて小さく、たとえば、図3に示すキャッシュメモリでは、タグメモリの容量は、データメモリの容量に比べて1/8である。したがって、タグメモリ内蔵のキャッシュメモリにおいて、キャッシュメモリの容量自体が比較的小容量な場合には、タグメモリ領域にメモリセルの不良が発生することは少ないので、冗長回路によるタグメモリ領域の不良部分の救済は一般的に行なわれていなかった。

【0012】しかし、キャッシュメモリが大容量化した場合、タグメモリ領域の不良発生頻度は、キャッシュメモリの容量が小さかった場合に比べて増加する。したがって、冗長回路による不良部分の救済が行なわれない場合、キャッシュメモリの歩留りが低下する。この結果、キャッシュメモリの大容量化に伴って、タグメモリ内蔵キャッシュメモリにおいてもタグメモリ領域に冗長回路による不良部分の救済が必要となる。

【0013】一方、データメモリ容量は一般に大きく、不良発生頻度はタグメモリに比べて多い。したがって、データメモリにおける冗長回路による不良救済の自由度は、大きいほうが望ましい。たとえば、メモリブロックの不良メモリセルを別のメモリブロックの冗長メモリセルで救済できること等が望ましい。しかしながら、一般には、冗長回路による不良救済の自由度が大きいと、不良救済によって生じるアクセスペナルティ（通常のアクセスタイムより、不良救済時のアクセスタイムが遅くなること）が大きくなる。したがって、上記のようにデータメモリと同様な救済方法をタグメモリに適用した場合、データメモリより速いアクセスタイムが要求されるタグメモリのアクセスタイムが遅くなる。したがって、同じ救済方法を異なるメモリに用いた従来のキャッシュメモリでは、各メモリごとに不良メモリセルの最適な救済を行なうことができないという問題点があった。

【0014】本発明は上記課題を解決するためのものであって、各メモリごとに最適な不良メモリセルの救済を行なうことができる半導体記憶装置を提供することを目的とする。

【0015】本発明の他の目的は、タグメモリ内蔵キャッシュメモリにおいて、タグメモリのアクセスタイムをデータメモリのアクセスタイムに比べて遅れることなく、タグメモリの歩留りについてはキャッシュメモリの歩留りを向上させることができる半導体記憶装置を提供することである。

【0016】

【課題を解決するための手段】請求項1記載の半導体記憶装置は、同一チップ上に集積され、それぞれが異なる機能を有する第1および第2メモリを含む半導体記憶装置であって、第1メモリは、第1冗長救済方式によりメモリセルの不良を救済する第1救済手段を含み、第2メモリは、第1冗長救済方式と異なる第2冗長救済方式によりメモリセルの不良を救済する第2救済手段を含む。

【0017】請求項2記載の半導体記憶装置は、請求項1記載の半導体記憶装置の構成に加え、上記半導体記憶装置は、タグメモリ内蔵キャッシュメモリを含み、上記第1メモリは、タグメモリを含み、上記第2メモリは、データメモリを含み、上記第1救済手段は、第2救済手段よりメモリセルの不良救済時のアクセスタイムが速く、上記第2救済手段は、第1救済手段よりメモリセルの不良の救済効率が高い。

【0018】請求項3記載の半導体記憶装置は、請求項2記載の半導体記憶装置の構成に加え、上記第1救済手段は、タグメモリの行および列方向のうち一方のメモリセルの不良を救済する手段を含み、上記第2救済手段は、データメモリの行方向のメモリセルの不良を救済する行方向救済手段と、データメモリの列方向のメモリセルの不良を救済する列方向救済手段とを含む。

【0019】請求項4記載の半導体記憶装置は、同一チップ上に集積され、それぞれが異なる機能を有する第1および第2メモリを含む半導体記憶装置であって、上記第1メモリは、複数の第1メモリセルを含み、上記第2メモリは、第1メモリセルと種類の異なる複数の第2メモリセルを含む。

【0020】請求項5記載の半導体記憶装置は、請求項4記載の半導体記憶装置の構成に加え、上記半導体記憶装置は、タグメモリ内蔵キャッシュメモリを含み、上記第1メモリは、タグメモリを含み、上記第2メモリは、データメモリを含み、第1メモリセルは、第2メモリセルよりソフトエラー率が低い。

【0021】請求項6記載の半導体記憶装置は、同一チップ上に集積され、それぞれが異なる機能を有する第1および第2メモリを含む半導体記憶装置であって、上記第1メモリは複数の第1メモリセルを含み、上記第2メモリは、第1メモリセルとメモリサイズが異なる複数の第2メモリセルを含む。

【0022】請求項7記載の半導体記憶装置は、請求項6記載の半導体記憶装置の構成に加え、上記半導体記憶装置は、タグメモリ内蔵キャッシュメモリを含み、上記第1メモリは、タグメモリを含み、上記第2メモリは、データメモリを含み、上記第1メモリセルは、上記第2メモリセルよりメモリサイズが大きく、かつ、ソフトエラー率が低い。

【0023】

【作用】請求項1ないし請求項3記載の半導体記憶装置においては、第1および第2メモリごとに冗長救済方式の異なる第1および第2救済手段を具備しているので、各メモリの機能に応じた冗長救済方式によりメモリセルの不良を救済することが可能となる。

【0024】請求項4および請求項5記載の半導体記憶装置においては、第1および第2メモリごとに互いに種類の異なる第1および第2メモリセルを具備しているの
で、各メモリの機能に応じて所望のメモリセルを具備す

ることができる。

【0025】請求項6および請求項7記載の半導体記憶装置においては、第1および第2メモリセルごとに互いにメモリサイズが異なる第1および第2メモリセルを具備しているので、各メモリの機能に応じてメモリサイズを決定することができる。

【0026】

【実施例】以下、本発明の第1の実施例の半導体記憶装置であるキャッシュメモリについて図面を参照しながら説明する。図1は、本発明の第1の実施例の半導体記憶装置の構成を概略的に示す図である。

【0027】図1を参照して、キャッシュメモリCMAは、タグメモリ領域TMAa、データメモリ領域DMAaを含む。タグメモリ領域TMAaは、冗長カラム領域TRCAを含む。データメモリ領域TMAaは、冗長ロウ領域RRA、冗長カラム領域RCAを含む。

【0028】冗長カラム領域TRCAは、タグメモリ領域TMAaの列方向に配置される。冗長カラム領域TRCAには、タグメモリの不良メモリセルを救済するカラム救済回路が配置される。

【0029】データメモリ領域DMAaは、8つのブロックに分割され、各ブロックごとに冗長ロウ領域RRAが配置される。冗長カラム領域RCAは、左右4つのブロックの間に配置される。冗長ロウ領域RRAは、各ブロックの行方向に配置される。冗長カラム領域RCAはデータメモリ領域DMAaの列方向に配置される。

【0030】次に、図1に示すタグメモリ領域に配置されるタグメモリについて説明する。図2は、図1に示すタグメモリ領域に配置されるタグメモリの構成を示す図である。図2では、便宜上4本の通常カラムC1~C4、1本のスペア（冗長）カラムSCを示しているが、各カラムの数はこの数に限定されるものではない。

【0031】図2を参照して、タグメモリは、行デコーダ1、ビット線周辺回路2、カラム救済回路3、列デコーダ4、メモリセルMC、カラムC1~C4、SC、ロウ（ワード線）R1~Rn、トランスファークロップとなるNMOSTランジスタQ1~Q10、データ入出力線IO、ノイズ線を含む。行デコーダ1、ビット線周辺回路2、列デコーダ4は、従来の半導体記憶装置に用いられるものと同様の回路であるため、詳細な説明を省略する。

【0032】カラム救済回路3は、ヒューズF1~F5、PMOSTランジスタおよびNMOSTランジスタから構成されるトランスミッションゲートTA1~TA4、TB1~TB4、インバータG1~G4、NMOSTランジスタQN1、抵抗R1を含む。

【0033】トランジスタQ1およびQ2の各ゲートはトランスミッションゲートTA1と接続される。トランジスタQ3およびQ4の各ゲートはトランスミッションゲートTB1およびTA2と接続される。トランスミ

7

ションゲートTA1およびTB1は列デコーダ4と接続される。ヒューズF1の一端は電源電圧V_{cc}と接続される。ヒューズF1の他端はトランスミッションゲートTA1のNMOSTランジスタのゲートおよびトランスミッションゲートTB1のPMOSTランジスタのゲートと接続され、さらに、インバータG1を介してトランスミッションゲートTA1のPMOSTランジスタのゲートおよびトランスミッションゲートTB1のNMOSTランジスタのゲートと接続される。以降同様に、ヒューズF2〜F4、インバータG2〜G4、トランスミ

ッションゲートTA2〜TA4、TB2〜TB4が接続される。ヒューズF4の一端はNMOSTランジスタQN1と接続される。NMOSTランジスタQN1は接地電位V_{ss}と接続される。抵抗R1の一端は電源電圧V_{cc}と接続され、他端はヒューズF5と接続される。抵抗R1とヒューズF5の接続点はNMOSTランジスタQN1のゲートと接続される。ヒューズF5の他端は接地電位V_{ss}と接続される。

【0034】次に、上記のように構成されたカラム救済回路の動作について説明する。トランスミッションゲートTA1〜TA4、TB1〜TB4は、列デコーダ4の出力信号線Y1〜Y4を不良メモリセルを含むカラム（不良カラム）が選択されないようにカラムC1〜C4、SCへ接続する。トランスミッションゲートTA1〜TA4、TB1〜TB4を制御するため、電圧供給バスPが接地される。電圧供給バスPは、その一方端が電源電圧V_{cc}に接続され、他方端はNMOSTランジスタQN1のドレインに接続される。電圧供給バスPの一方端とNMOSTランジスタQN1との間に、カラムC1〜C4に対応してヒューズF1〜F4が直列に配置される。NMOSTランジスタQN1のゲートは、抵抗R1を介して電源電圧V_{cc}に接続されるとともに、ヒューズF5を介して接地電位V_{ss}に接続される。NMOSTランジスタQN1のソースは、接地電位V_{ss}に接続される。抵抗R1は、ヒューズF5が導通状態のとき、電源からグラウンドにほとんど電流が流れないような値に設定される。

【0035】不良メモリセルが存在しない場合には、ヒューズF1〜F5は、すべて導通状態にある。この状態においては、NMOSTランジスタQN1はオフ状態にある。この結果、電圧供給バスPは電源電圧V_{cc}レベルに設定されるので、ノードN1〜N4はすべて“H”レベルにある。したがって、トランスミッションゲートTA1〜TA4がオン状態となる。一方、トランスミッションゲートTB1〜TB4はオフ状態となる。この結果、列デコーダ4の出力信号線Y1〜Y4は、それぞれカラムC1〜C4にトランスミッションゲートTA1〜TA4を介して接続される。

【0036】次に、カラムC2上に不良メモリセルが存在した場合を考える。この場合、カラムC2に対応する

8

ヒューズF2が切断されるとともに、ヒューズF5が切断される。この結果、NMOSTランジスタQN1はオン状態となる。したがって、ノードN1〜N4の電位は、ノードN1が“H”レベル、ノードN2〜N4は“L”レベルに設定される。この結果、トランスミッションゲートTA1、TB2〜TB4がオン状態となり、トランスミッションゲートTA2〜TA4、TB1がオフ状態となる。したがって、列デコーダ4の出力信号線Y1は、カラムC1にトランスミッションゲートTA1を介して接続され、他の出力信号線Y2〜Y4はそれぞれC3、C4、SCにトランスミッションゲートTB2〜TB4を介して接続される。以上の動作により、不良メモリセルを含むカラムを救済することができる。また、この場合、不良救済によるアクセスペナルティはほとんど発生しない。

【0037】一方、図1に示すデータメモリ領域DMAaは、複数のメモリブロックに分割されている。図1ではメモリブロックの分割数は8となっているが、この数に限定されるものではない。各メモリブロック中には、データメモリ領域DMAaの不良部分救済のために、1または複数の冗長ロウが設けられている。また、データメモリ中の1ヶ所に集中して、1または複数の冗長カラムが設けられている。配置する場所はデータメモリ領域の中央となっているが、これに限定されるものではない。データメモリ領域における冗長救済方式は、救済効率のよいものが望ましい。たとえば、あるメモリブロックの不良メモリセルを別のメモリブロックの冗長メモリセルで救済できるといった冗長救済方式である。この冗長救済方式では、ロジックが複雑になるので、アクセスペナルティはシフトリダンダンシに比べると大きくなるが、たとえあるメモリブロックに不良が集中したとしても、他の複数のメモリブロックの冗長メモリセルを用いて救済できるので救済効率がよいという利点がある。

【0038】次に、図1に示すデータメモリ領域に配置されるデータメモリについてさらに詳細に説明する。図3は、図1に示すデータメモリ領域に配置されるデータメモリの構成を示す第1の図である。図3では、データメモリ領域における冗長ロウによる不良メモリセルの救済方法について説明する。

【0039】図3を参照して、データメモリは、置換回路11a〜11h、ブロックセクタ12a〜12h、冗長ロウ13a〜13h、冗長デコーダ14a〜14h、メモリブロック15a〜15h、Xデコーダ16a〜16h、センスアンプおよびライトドライバ17a〜17h、Yデコーダ18a〜18h、通常メモリセル非選択回路19、メインデコーダ20を含む。

【0040】図3に示すように、データメモリ領域は、8つのメモリブロック15a〜15hに分割されている。それぞれのメモリブロックに対応して8つの置換回路11a〜11hと、1つの通常メモリセル非選択回路

19が設けられる。

【0041】次に、図3に示す置換回路について説明する。図4は、図3に示す置換回路の構成を示す図である。図4を参照して、置換回路11は、冗長性選択回路111、アドレスプログラム回路112、AND回路G11を含む。アドレスプログラム回路112には、アドレス信号ADが入力される。冗長性選択回路111およびアドレスプログラム回路112はAND回路G11と接続される。AND回路G11は入力した2つの信号の論理積を出力信号として出力する。

【0042】次に、図4に示す冗長性選択回路についてさらに詳細に説明する。図5は、図4に示す冗長性選択回路の構成を示す回路図である。図5を参照して、冗長性選択回路111は、MOSキャパシタC11、高抵抗R11、ヒューズF11、PMOSTランジスタQ11、Q12、NMOSTランジスタQ13を含む。

【0043】MOSキャパシタC11の一端は電源電圧Vccと接続され、他端はヒューズF11と接続される。高抵抗R11およびトランジスタQ11もMOSキャパシタC11と同様に接続される。ヒューズF11の他端は接地電位Vssと接続される。トランジスタQ12の一端は電源電圧Vccと接続され、他端はトランジスタQ13と接続される。トランジスタQ13の他端は接地電位Vssと接続される。トランジスタQ11のゲートはトランジスタQ12およびQ13の接続点と接続される。トランジスタQ12およびQ13の各ゲートはヒューズF11の一端と接続される。

【0044】冗長性非選択時には、ヒューズF11が接続状態になっているので、ノードN11の電位は接地レベルとなっている。一方、冗長性選択時には、ヒューズF11が切断される。このとき電源が投入されると、電源電圧の上昇の度合いが緩やかな場合には、高抵抗R11に流れる電流によって、ノードN11の電位が“H”に向かって上昇する。さらに、トランジスタQ11~Q13により構成される正帰還回路により、ノードN11の電位が完全な“H”に到達する。上記の動作により、冗長性非選択時には、冗長性選択回路111の出力信号は“L”となり、冗長性選択時の冗長性選択回路111の出力信号は“H”となる。

【0045】次に、図4に示すアドレスプログラム回路についてさらに詳細に説明する。図6は、図4に示すアドレスプログラム回路の構成を示す回路図である。

【0046】図6を参照して、アドレスプログラム回路112は、選択回路113、114、PMOSTランジスタQ41~Q48、NMOSTランジスタQ51~Q58を含む。

【0047】選択回路113は、MOSキャパシタC21、高抵抗R21、PMOSTランジスタQ21、Q22、ヒューズF21、NMOSTランジスタQ23を含む。選択回路114は、MOSキャパシタC31、高抵

抗R31、PMOSTランジスタQ31、Q32、ヒューズF31、NMOSTランジスタQ33を含む。選択回路113および114は、図5に示す冗長性選択回路111と同様の構成を有し、同様の動作を行なうので以下その説明を省略する。

【0048】トランジスタQ41およびQ51には入力信号IN1が入力される。トランジスタQ41のゲートにはノードN21の出力信号が入力される。トランジスタQ51のゲートにはノードN22の信号が入力される。トランジスタQ41はトランジスタQ42と接続される。トランジスタQ51はトランジスタQ52と接続される。トランジスタQ42、Q52の他端は接続され、出力信号OUTが出力される。トランジスタQ42のゲートにはノードN31の出力信号が入力される。トランジスタQ52のゲートにはノードN32の出力信号が入力される。トランジスタQ45、Q46、Q55、Q56も上記と同様に接続される。また、トランジスタQ43、Q53、Q44、Q54は上記とほぼ同様に接続され、トランジスタQ43のゲートにはノードN22の出力信号が入力され、トランジスタQ53のゲートにはノードN21の出力信号が入力され、トランジスタQ44のゲートにはノードN31の出力信号が入力され、トランジスタQ54のゲートにはノードN32の出力信号が入力される。トランジスタQ47、Q57、Q48、Q58も同様である。

【0049】次に、上記のように構成されたアドレスプログラム回路におけるプログラム方法を説明する。入力信号IN1~IN4としてそれぞれプリデコード信号X0・X1、X0・/X1、/X0・X1、/X0・/X1が入力されている場合を考える。ヒューズF21およびF31が接続状態のとき、ノードN21およびN31の電位は“L”であり、ノードN22およびN32の電位は“H”である。したがって、入力信号IN1のみが出力信号OUTとして出力される。この結果、出力信号OUTとしてプリデコード信号X0・X1が出力される。たとえば、X0=“H”、X1=“H”のとき、出力信号OUTが“H”となる。この結果、X0=X1=“H”というアドレスがヒューズF21およびF31によりプログラムされたことになる。同様に、ヒューズF21が切断され、ヒューズF31が接続状態のとき、X0=“H”、X1=“L”というアドレスがプログラムされる。ヒューズF21が接続状態で、ヒューズF31が切断されているときは、X0=“L”、X1=“H”というアドレスがプログラムされる。さらに、ヒューズF21およびF31がともに切断されているときには、X0=X1=“L”というアドレスがプログラムされる。実際には、プログラムすべきアドレスは2以上あるので、図6に示すアドレスプログラム回路を複数個設け、それらの出力を図4に示すAND回路G11に入力する。

11

【0050】以上の動作により、置換回路11は、冗長性非選択時には、“L”を出力する。一方、冗長性選択時には、置換回路11に入力されるアドレスデコード信号が、アドレスプログラム回路112により予めプログラムされているアドレスと一致する場合にのみ“H”を出力し、一致しない場合には、“L”を出力する。

【0051】再び図3を参照して、メモリブロック15a~15hに対応して、Xデコーダ16a~16h、Yデコーダ18a~18h、センスアンプおよびライトドライバ17a~17h、冗長ロウデコーダ14a~14h、冗長ロウ13a~13hが設けられる。さらに、メインデコーダ20が設けられる。

【0052】メインデコーダ20は、外部から与えられるXアドレス信号XAをデコードし、デコードされた信号をXデコーダ16a~16hに与える。ブロックセクタ12a~12hは、外部から与えられるZアドレス信号（ブロックアドレス信号）ZAに対応して、それぞれブロック選択信号BSa~BS hを発生する。Xデコーダ16a~16hの各々は、対応するブロック選択信号およびメインデコーダ20の出力信号にตอบสนองして、対応するメモリブロック内の1本のワード線を選択する。Yデコーダ18a~18hの各々は、外部から与えられるYアドレス信号YAにตอบสนองして、対応するメモリブロック内の1または複数のビット線対を選択する。

【0053】各置換回路11a~11hから出力される冗長ワード線活性化信号LNEDRa~LNEDRhは、冗長ロウデコーダ14a~14hおよびブロックセクタ12a~12hに与えられる。たとえば、置換回路11aから出力される冗長ワード線活性化信号LNEDRaは、冗長ロウデコーダ14aおよびブロックセクタ12aに与えられる。

【0054】すべての置換回路11a~11hから出力される冗長ワード線活性化信号LNEDRa~LNEDRhは通常メモリセル非選択回路19に与えられる。通常メモリセル非選択回路19は、OR回路G10を含む。通常メモリセル非選択回路19から出力されるデコーダ不活性化信号NEDRは、すべてのブロックセクタ12a~12hとXデコーダ16a~16hに与えられる。

【0055】まず、いずれの冗長ロウ13a~13hも使用されていない場合（冗長非選択状態）について説明する。この場合、冗長ワード線活性化信号LNEDRa~LNEDRhが“L”となっている。この結果、通常メモリセル非選択回路19から出力されるデコーダ不活性化信号NEDRは“L”となる。したがって、ブロックセクタ12a~12hは活性状態となる。このとき、すべての冗長ロウデコーダ14a~14hは非選択状態となる。

【0056】Zアドレス信号ZAに対応して、ブロック選択信号BSa~BS hのうち1つが“H”（選択状

12

態）となる。たとえば、ブロック選択信号BS1が“H”になると、Xデコーダ16aが選択状態となり、かつ、センスアンプおよびライトドライバ17aが活性状態となる。Xデコーダ16aは、メモリブロック15a内の1つのワード線を選択し、そのワード線の電位を“H”に立上げる。この結果、選択されたワード線に接続されるメモリセルからそれぞれに対応するビット線対にデータが読出される。Yデコーダ18aは、メモリブロック15a内の1または複数のビット線対を選択する。

【0057】読出動作時には、センスアンプおよびライトドライバ17a内のセンスアンプが活性化される。この結果、選択されたビット線対上のデータがセンスアンプにより増幅され、データとして外部に出力される。また、書込動作時には、センスアンプおよびライトドライバ17a内のライトドライバが活性化される。この結果、外部から与えられたデータが、選択されたビット線対に伝達され、選択されたワード線に接続されるメモリセルにデータが書込まれる。

【0058】次に、いずれかの冗長ロウが使用された場合について説明する。この場合、冗長ワード線活性化信号LNEDRa~LNEDRhのうちいずれか1つが“H”となる。今、メモリブロック15hに発生した不良メモリセルを含むワード線を冗長ロウ13aによって救済する場合を考える。

【0059】置換回路11aのアドレスプログラム回路には、メモリブロック15hの置換されるべきワード線のアドレス（置換アドレス）が予めプログラムされる。

【0060】Xアドレス信号XAおよびZアドレス信号ZAにより指定されるアドレスが、置換回路11a内のアドレスプログラム回路にプログラムされた置換アドレス（つまり、メモリブロック15hの不良メモリセルを含むワード線のアドレス）と一致する場合には、冗長ワード線活性化信号LNEDRaが“H”となる。したがって、デコーダ不活性化信号NEDRも“H”となる。この結果、すべてのXデコーダ16a~16hは非活性状態となる。

【0061】Zアドレス信号ZAは、本来、メモリブロック15hを選択しているが、デコーダ不活性化信号NEDRが“H”であるため、ブロック選択信号BS hは“L”となり、センスアンプおよびライトドライバ17hは非活性状態となる。一方、冗長ワード線活性化信号LNEDRaが“H”であるため、ブロック選択信号BSaは“H”となり、センスアンプおよびライトドライバ17aは活性状態となる。一方、冗長ワード線活性化信号LNEDRaが“H”であるので、冗長ロウデコーダ14aが活性状態となる。したがって、冗長ワード線が選択され、その冗長ワード線の電位が“H”となる。この結果、選択された冗長ワード線に接続されるメモリセルからビット線対にデータが読出される。Yデコーダ

18aは、メモリセルアレイブロック15a内のビット線対を選択する。

【0062】読出動作時には、センスアンプおよびライトドライバ17a内のセンスアンプが活性化される。この結果、選択されたビット線対上のデータがセンスアンプにより増幅され、データとして外部へ出力される。書込動作には、センスアンプおよびライトドライバ17a内のライトドライバが活性化される。この結果、外部から与えられたデータが選択されたビット線対に伝達され、選択された冗長ワード線に接続されるメモリセルにデータが書込まれる。

【0063】上記の動作により、各メモリブロック内のワード線を任意のブロックの冗長ワード線で置換することができるので、たとえ、あるブロックに不良が集中したとしても、他の複数のブロックの冗長ワード線で救済できるので、図3に示すデータメモリでは救済効率がよいという効果がある。

【0064】次に、データメモリの冗長カラムによる不良メモリセルの救済方法について説明する。図7は、図1に示すデータメモリ領域に配置されるデータメモリの構成を示す第2の図である。図7に示すデータメモリでは、図1に示すデータメモリのように、冗長カラムを複数本1ヶ所に設け、冗長メモリブロックとしている。

【0065】図7を参照して、データメモリは、置換回路21a~21h、冗長メモリブロック選択回路22、冗長Xデコーダ23、冗長メモリブロック24、冗長センスアンプおよびライトドライバ25、冗長Yデコーダ26、マルチプレクサ27、ブロックセクタ28、Xデコーダ29、メモリブロック30、センスアンプおよびライトドライバ31、Yデコーダ32、メインデコーダ33を含む。

【0066】置換回路21a~21hは冗長カラムの本数に対応して設けられ、図4に示す置換回路と同様の構成を有し、同様に動作する。この場合、冗長カラムの本数は8本としているので、置換回路も8個設けられている。図7では、複数の通常メモリブロックのうち1ブロックだけを図示している。この通常メモリブロックの不良メモリセルを冗長メモリブロックの冗長カラムで救済する場合について以下に説明する。

【0067】メモリブロック30に対応して、Xデコーダ29、Yデコーダ32、センスアンプおよびライトドライバ31が設けられる。また、冗長メモリブロック24に対応して、冗長Xデコーダ23、冗長Yデコーダ26、冗長センスアンプおよびライトドライバ25が設けられる。さらに、メインデコーダ33およびマルチプレクサ27が設けられる。

【0068】メインデコーダ33は、外部から与えられるXアドレス信号XAをデコードし、デコードされた信号をXデコーダ29および冗長Xデコーダ23に与えられる。ブロックセクタ28は、外部から与えられるZ

アドレス信号(ブロックアドレス信号)ZAにตอบสนองして、ブロック選択信号BSを発生する。Xデコーダ29は、ブロック選択信号BSおよびメインデコーダ33の出力信号にตอบสนองして、メモリブロック30のうちの1本のワード線を選択する。Yデコーダ32は、外部から与えられるYアドレス信号YAにตอบสนองして、対応するメモリブロック内の1または複数のビット線対を選択する。

【0069】各置換回路21a~21hは、外部から与えられるYアドレス信号YAおよびZアドレス信号ZAにตอบสนองして、冗長カラム活性化信号LNEDCa~LNEDEChをそれぞれ出力する。すべての置換回路21a~21hから出力される冗長カラム活性化信号LNEDCa~LNEDEChは、冗長Yデコーダ26および冗長メモリブロック選択回路22に与えられる。冗長メモリブロック選択回路22はOR回路G11を含む。冗長メモリブロック選択回路22から出力される冗長メモリブロック選択信号NEDCは、冗長Xデコーダ23、冗長センスアンプおよびライトドライバ25、およびマルチプレクサ27に与えられる。

【0070】まず、いずれの冗長カラムも使用されていない場合(冗長非選択時)について説明する。この場合、冗長カラム活性化信号LNEDCa~LNEDEChが“L”となっている。したがって、冗長メモリブロック選択回路22から出力される冗長メモリブロック選択信号NEDCは“L”となる。この結果、冗長Xデコーダ23は非選択状態となる。

【0071】Zアドレス信号ZAに対応して、ブロック選択信号BSが“H”になると、Xデコーダ29が選択状態となり、かつ、センスアンプおよびライトドライバ31が活性状態となる。Xデコーダ29は、メモリブロック30内の1つのワード線を選択し、そのワード線の電位を“H”に立上げる。この結果、選択されたワード線に接続されるメモリセルからそれぞれに対応するビット線対にデータが読出される。Yデコーダ32は、メモリブロック30内の1または複数のビット線対を選択する。

【0072】読出動作時には、センスアンプおよびライトドライバ31内のセンスアンプが活性化される。この結果、選択されたビット線対上のデータがセンスアンプにより増幅され、通常データバスDBに出力される。冗長メモリブロック選択信号NEDCが“L”の場合には、マルチプレクサ27により、通常データバスDBが選択され、外部にデータが出力される。

【0073】書込動作時には、センスアンプおよびライトドライバ31内のライトドライバが活性化される。冗長メモリブロック選択信号NEDCが“L”の場合には、マルチプレクサ27により、通常データバスDBが選択され、外部から与えられたデータが、選択されたビット線対に伝達され、選択されたワード線に接続されるメモリセルにデータが書込まれる。

【0074】次に、いずれかの冗長カラムが使用される場合について説明する。この場合、冗長カラム活性化信号LNEDCa~LNEDChのうちいずれか1つが“H”になる。置換回路21a内のアドレスプログラム回路に、メモリブロック30の置換されるべきカラムのアドレス（置換アドレス）が予めプログラムされている場合を考える。Yアドレス信号YAおよびZアドレス信号ZAにより指定されるアドレスが、置換回路21a内のアドレスプログラム回路にプログラムされた置換アドレス（つまり、メモリブロック30の不良メモリセルを含むカラムのアドレス）と一致する場合には、冗長カラム活性化信号LNEDCaが“H”となる。したがって、冗長ブロック活性化信号NEDCの“H”となる。この結果、冗長Xデコーダ23および冗長センスアンプおよびライトドライバ25は活性状態となる。

【0075】冗長Xデコーダ23は、冗長メモリブロック24内の1つのワード線を選択し、そのワード線の電位を“H”に立上げる。この結果、選択されたワード線に接続されるメモリセルからそれぞれに対応するビット線対にデータが読出される。冗長Yデコーダ26は、冗長カラム活性化信号LNEDCaに対応するビット線対を選択する。選択されたビット線対上のデータがセンスアンプにより増幅され、冗長データバスRTBに出力される。冗長ブロック活性化信号NEDCが“H”の場合には、マルチプレクサ27により、冗長データバスRDBが選択され、外部にデータが出力される。

【0076】以上の動作により、メモリブロック内の不良メモリセルを冗長メモリブロックの冗長カラムで救済することが可能となる。

【0077】次に、タグメモリおよびデータメモリに用いられるメモリセルについて説明する。図8は、タグメモリに用いるメモリセルの構成を示す図であり、図9はデータメモリに用いるメモリセルの構成を示す図である。

【0078】図8を参照して、メモリセルMCaは、NMOSトランジスタQ61~Q64、PMOSトランジスタQ65、Q66を含む。トランジスタQ61の一端はビット線BLと接続され、他端はトランジスタQ65およびQ62と接続される。トランジスタQ65の他端は電源電圧Vccと接続される。トランジスタQ62の他端は接地電位Vssと接続される。トランジスタQ64の一端はビット線BLと相補なビット線/BLと接続される。トランジスタQ64の他端はトランジスタQ66およびQ63と接続される。トランジスタQ66の他端は電源電圧Vccと接続される。トランジスタQ63の他端は接地電位Vssと接続される。トランジスタQ61およびQ64のゲートはワード線WLと接続される。トランジスタQ65およびQ62のゲートはトランジスタQ66とトランジスタQ63との接続点に接続される。トランジスタQ66およびQ63のゲートはトランジスタQ

65とトランジスタQ62との接続点と接続される。以上の構成により、フルCMOS型メモリセルが構成される。

【0079】次に、図9を参照して、メモリセルMCbは、NMOSトランジスタQ71~Q74、高抵抗R71、R72を含む。トランジスタQ71の一端はビット線BLと接続される。トランジスタQ71の他端は高抵抗R71およびトランジスタQ72と接続される。高抵抗R71の他端は電源電圧Vccと接続される。トランジスタQ72の他端は接地電位Vssと接続される。トランジスタQ74はビット線BLと相補なビット線/BLと接続される。トランジスタQ74の他端は高抵抗R72およびトランジスタQ73と接続される。高抵抗R72の他端は電源電圧Vccと接続される。トランジスタQ73の他端は接地電位Vssと接続される。トランジスタQ71およびQ74の各ゲートはワード線WLと接続される。トランジスタQ72のゲートは高抵抗R72とトランジスタQ73との接続点と接続される。トランジスタQ73のゲートは高抵抗R71とトランジスタQ72との接続点と接続される。上記の構成により、高抵抗型メモリセルが構成される。

【0080】通常、同一デザインルールにおいては、図8に示すフルCMOS型メモリセルのほうが図9に示す高抵抗型メモリセルよりも面積が2倍以上大きいという欠点がある一方、ソフトエラーに強く、動作電圧マージンも大きいという利点がある。したがって、データの高信頼性が要求されるタグメモリ部の低ソフトエラー化のために、タグメモリのメモリセルには、図8に示すフルCMOS型メモリセルを用いる。一方、データメモリには誤り検出や誤り訂正用にパリティビットが付加される場合が多いので、ソフトエラー率が低い（良い）フルCMOS型メモリセルよりも、チップ面積縮小のために面積の小さい図9に示す高抵抗型メモリセルを用いる。したがって、タグメモリの部分では、フルCMOS型メモリセルを用いることによりデータの高信頼性を達成し、データメモリの部分では誤り検出や誤り訂正用のパリティビットによりデータの高信頼性を確保することが可能となる。一方、チップ面積の大部分を占めるデータメモリの部分において、メモリセルの面積が小さい高抵抗型メモリセルを用いることにより、チップ全体としてチップサイズを小さくすることができる。この結果、高信頼性かつ小チップサイズのキャッシュメモリを実現することが可能となる。

【0081】上記実施例では、タグメモリとデータメモリとで異なるメモリセルを用いたが、プロセス上の理由でタグメモリとデータメモリとでメモリセル同種類にしたい場合には、どちらも高抵抗型メモリセルを用いてもよい。ただし、タグメモリのメモリセルの面積をデータメモリのメモリセルの面積よりも大きくすることによって、タグメモリのメモリセルの記憶ノードN71、N7

2の容量(キャパシタンス)をデータメモリのメモリセルの記憶ノードN71、N72の容量より大きくし、タグメモリの低ソフトエラー化を図ることが望ましい。

【0082】次に、本発明の第2の実施例の半導体記憶装置について説明する。図10は、本発明の第2の実施例の半導体記憶装置の構成を概略的に示す図である。

【0083】第1の実施例では、タグメモリ領域の不良救済のために1または複数の冗長カラムを設け、不良救済によるアクセスペナルティが少ないシフトリダンダンシを用いたが、図10に示す第2の実施例のように1または複数の冗長ロウを設けてもよい。図10に示す第2の実施例では、タグメモリ領域TMAbの不良部分の救済のために1または複数の冗長ロウを冗長ロウ領域TRRAに設け、不良救済によるアクセスペナルティが少ないシフトリダンダンシを用いた例を示している。

【0084】次に、図10に示すタグメモリ領域に配置されるタグメモリについて説明する。図11は、図10に示すタグメモリ領域に配置されるタグメモリの構成を示す図である。

【0085】図11を参照して、タグメモリは、行デコーダ41、ビット線周辺回路42、ロウ救済回路43、列デコーダ44、メモリセルMC、カラムC1～Cn、ロウR1～R4、SR、NMOSトランジスタからなるトランスファークロウQ81～Q88を含む。ロウ救済回路43は、トランスミッションゲートTA21～TA24、TB21～TB24、インバータG21～G24、ヒューズF21～F25、高抵抗R21、NMOSトランジスタQN21を含む。

【0086】図11に示すタグメモリは、説明を容易にするため、4本の通常ロウR1～R4と、1本のスペア(冗長)ロウSRを示しているが、通常ロウの数およびスペアロウの数はいずれもこの数に限定されるものではない。

【0087】図11に示すタグメモリの動作は図2に示すタグメモリの動作とほぼ同様である。つまり、列方向の救済動作が行方向の救済動作に変わるだけで実質的動作はほぼ同様である。また、トランスミッションゲートTA21～TA24、TB1～TB24の後段にバッファを挿入してもよい。この場合、ワード線をさらに高速に駆動することが可能となる。

【0088】次に、本発明の第3の実施例の半導体記憶装置について説明する。図12は、本発明の第3の実施例の半導体記憶装置の構成を概略的に示す図である。図12に示す半導体記憶装置と図1に示す半導体記憶装置とで異なる点は、データメモリ領域TMAbにおいて、各ブロックごとに冗長カラム領域RCAが設けられている点である。この場合でも、上記の第1実施例と同様の各回路を用いることにより、同様の効果を得ることができる。

【0089】次に、本発明の第4の実施例の半導体記憶

装置について説明する。図13は、本発明の第4の実施例の半導体記憶装置の構成を概略的に示す図である。図13に示す半導体記憶装置と図10に示す半導体記憶装置とで異なる点は、データメモリ領域DMAbにおいて、各ブロックごとに冗長カラム領域RCAが設けられる点である。その他の点は、図10に示す半導体記憶装置と同様であるので以下その説明を省略する。第4の実施例でも、第1および第2の実施例と同様の回路を用いることにより同様の効果を得ることができる。

【0090】また、上記第3および第4の実施例では、データメモリ領域において同一のパターンを複数繰返すことによりデータメモリを形成することができるので、製造時の歩留りを向上することが可能となる。

【0091】上記各実施例では、タグメモリ領域の不良メモリセルの救済には救済の効率がありよくなくてもアクセスペナルティが少ない冗長救済方式を用いる一方、データメモリ領域の不良メモリセルの救済には多少アクセスペナルティはあっても救済効率の高い冗長救済方式を用いることにより、高歩留りのキャッシュメモリを提供することが可能となる。したがって、タグメモリのアクセスタイムをデータメモリのアクセスタイムに比べて遅れることなしに、タグメモリの歩留り、ひいてはキャッシュメモリの歩留りを向上させることができ、さらに、タグメモリの低ソフトエラー化によって、キャッシュメモリの高信頼性化を実現することが可能となる。

【0092】また、上記実施例では、キャッシュメモリについて述べたが、他の半導体記憶装置でも本発明を同様に適用することができ、同様の効果を得ることができる。

【0093】

【発明の効果】請求項1ないし請求項3記載の半導体記憶装置においては、第1および第2メモリごとに異なる冗長救済方式によりメモリセルの不良を救済することができるので、各メモリごとに不良メモリセルの最適な救済を行なうことが可能となる。

【0094】請求項4および請求項5記載の半導体記憶装置においては、第1および第2メモリごとに異なる種類のメモリセルを具備しているので、各メモリごとに不良メモリセルの最適な救済を行なうことが可能となる。

【0095】請求項6および請求項7記載の半導体記憶装置においては、第1および第2メモリセルごとにメモリサイズが異なるメモリセルを具備しているので、各メモリごとに不良メモリセルの最適な救済を行なうことが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の半導体記憶装置の構成を概略的に示す図である。

【図2】 図1に示すタグメモリ領域に配置されるタグメモリの構成を示す図である。

【図3】 図1に示すデータメモリ領域に配置されるタ

19

グメモリの構成を示す第1の図である。

【図4】 図3に示す置換回路の構成を示す図である。

【図5】 図4に示す冗長性選択回路の構成を示す回路図である。

【図6】 図4に示すアドレスプログラム回路の構成を示す回路図である。

【図7】 図1に示すデータメモリ領域に配置されるデータメモリの構成を示す第2の図である。

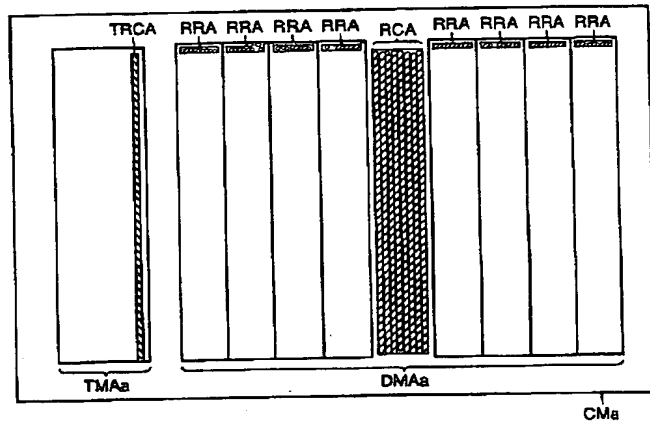
【図8】 タグメモリに用いるメモリセルの構成を示す図である。

【図9】 データメモリに用いるメモリセルの構成を示す図である。

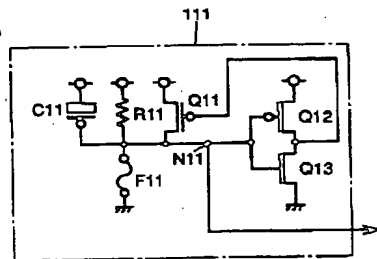
【図10】 本発明の第2の実施例の半導体記憶装置の構成を概略的に示す図である。

【図11】 図10に示すタグメモリ領域に配置されるタグメモリの構成を示す図である。

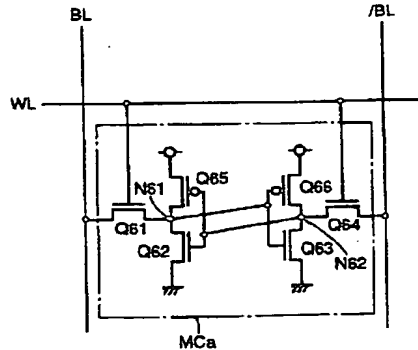
【図1】



【図5】



【図8】



20

【図12】 本発明の第3の実施例の半導体記憶装置の構成を概略的に示す図である。

【図13】 本発明の第4の実施例の半導体記憶装置の構成を概略的に示す図である。

【図14】 従来のメモリの階層構造を示す図である。

【図15】 従来の半導体記憶装置の構成を概略的に示す図である。

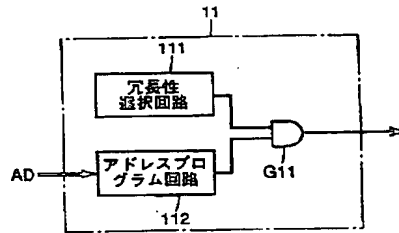
【図16】 従来の半導体記憶装置の論理的な構成を示す図である。

10 【図17】 図16に示す半導体記憶装置のメモリブロックの構成を示す図である。

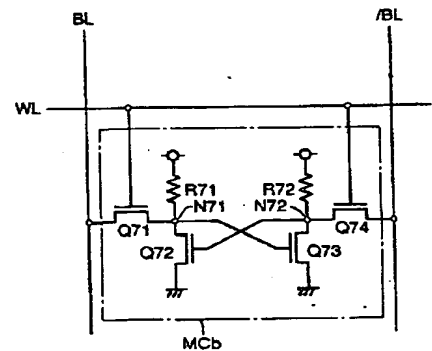
【符号の説明】

CMa キャッシュメモリ、DMAa データメモリ領域、TMAa タグメモリ領域、RRA 冗長 ROW 領域、RCA 冗長カラム領域、TRCA 冗長カラム領域。

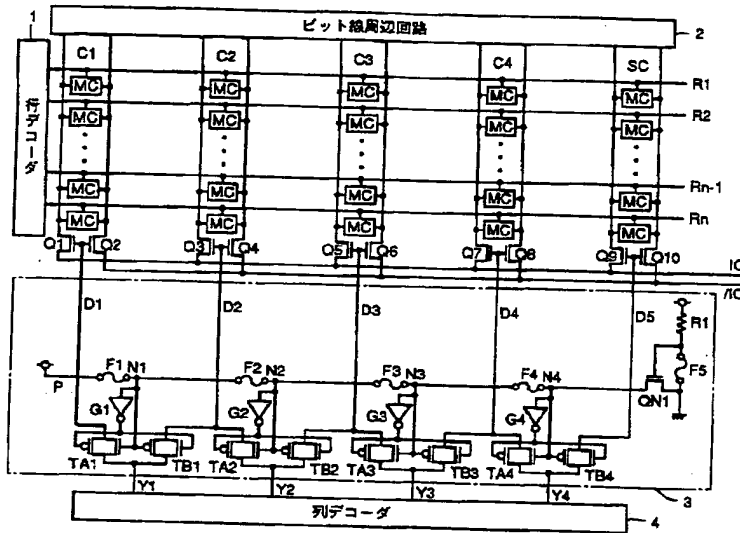
【図4】



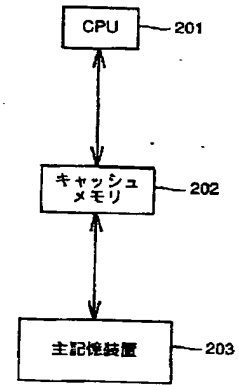
【図9】



【図2】



【図14】



【図6】

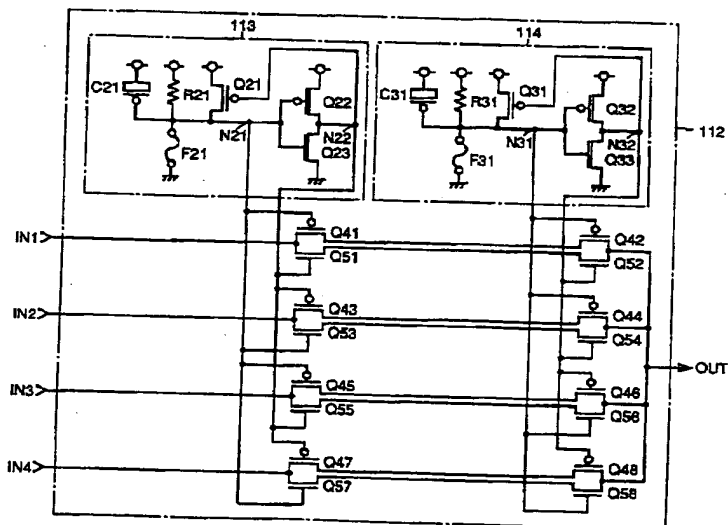
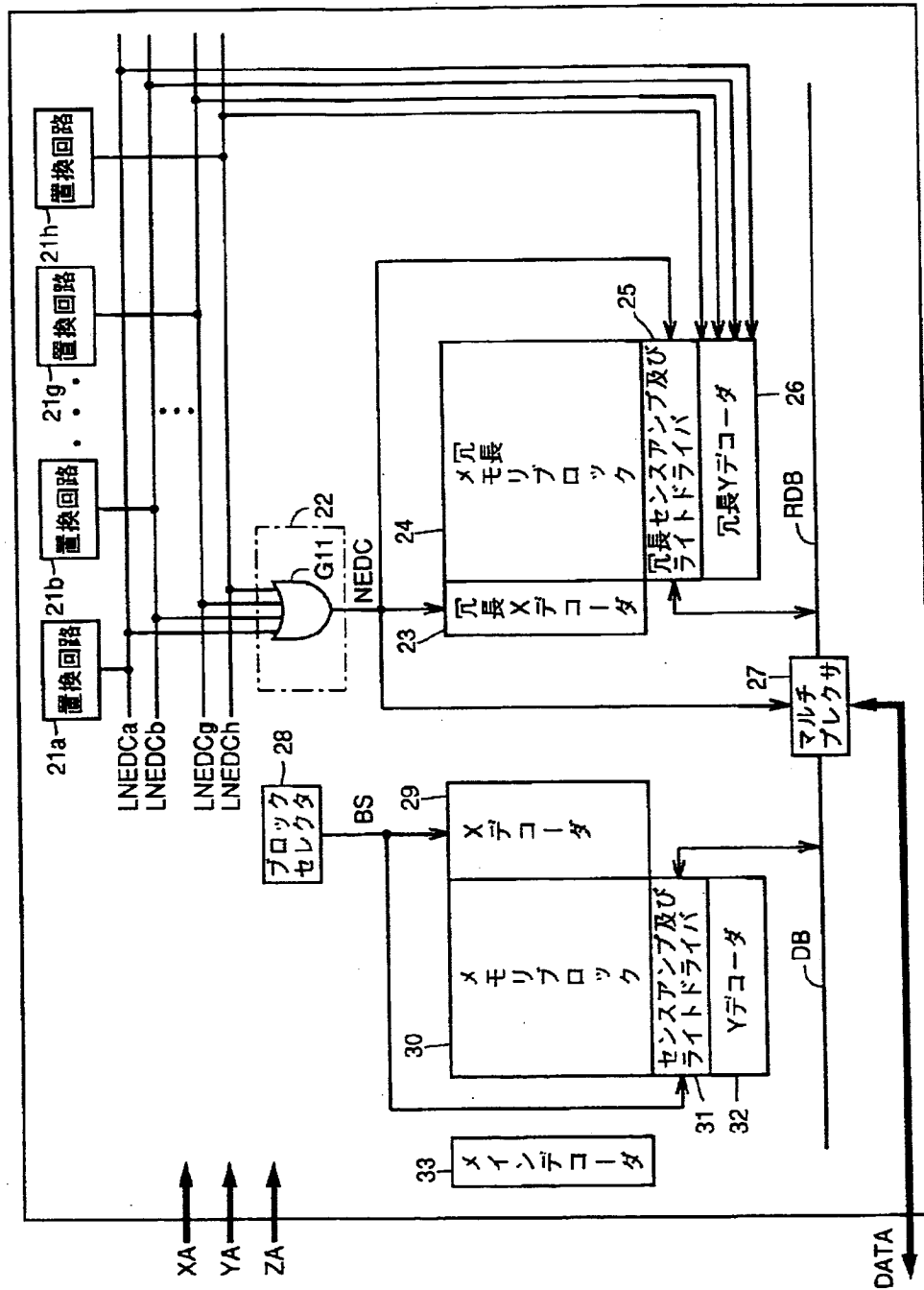
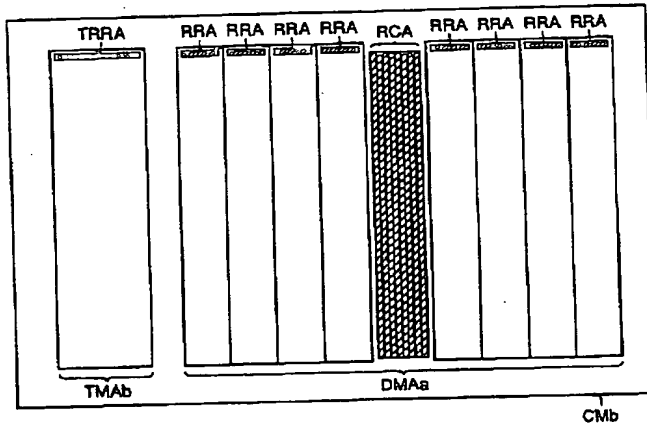


Figure 1 is a block diagram of a video signal processing circuit. The circuit is organized into several stages of processing blocks. At the top, three input signals, XA, YA, and ZA, are fed into a series of conversion circuits labeled 11a, 11b, 11g, and 11h. These conversion circuits output signals LNE DRa, LNE DRb, LNE DRg, and LNE DRh, respectively. These signals are then processed by a series of block selection circuits labeled 12a, 12b, 12g, and 12h, which output signals 13a, 13b, 13g, and 13h. These signals are then processed by a series of X decoders labeled 14a, 14b, 14g, and 14h, which output signals 15a, 15b, 15g, and 15h. These signals are then processed by a series of Y decoders labeled 17a, 17b, 17g, and 17h, which output signals 18a, 18b, 18g, and 18h. The final output of the circuit is a DATA signal. The diagram also shows a series of other components including a main decoder (20), a series of X decoders (16a, 16b, 16g, 16h), and a series of Y decoders (18a, 18b, 18g, 18h) which are connected to the output signals of the X decoders (15a, 15b, 15g, 15h) and the Y decoders (17a, 17b, 17g, 17h). The diagram also shows a series of other components including a main decoder (20), a series of X decoders (16a, 16b, 16g, 16h), and a series of Y decoders (18a, 18b, 18g, 18h) which are connected to the output signals of the X decoders (15a, 15b, 15g, 15h) and the Y decoders (17a, 17b, 17g, 17h).

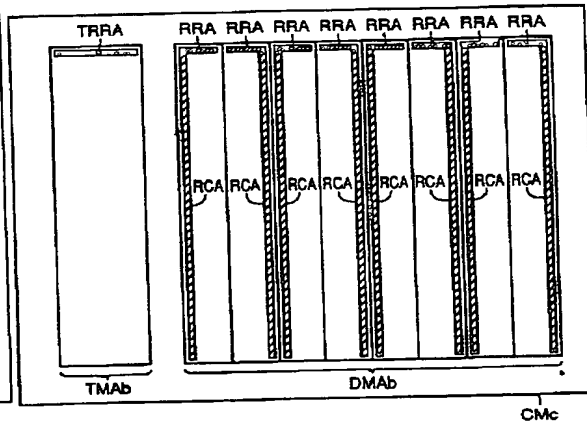
【図7】



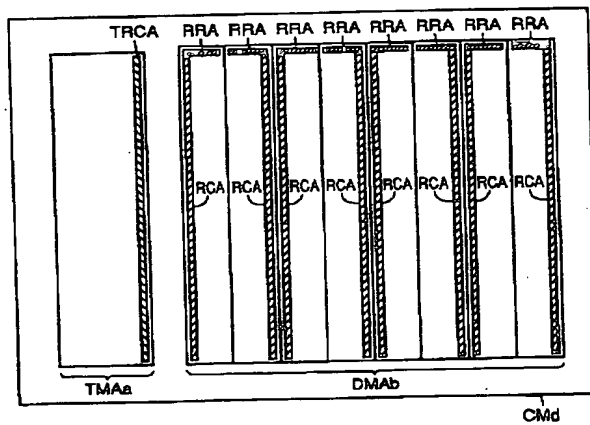
【図10】



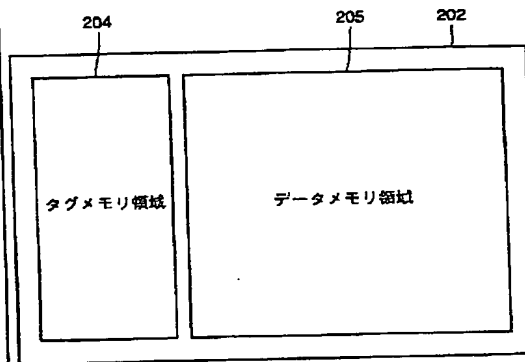
【図12】



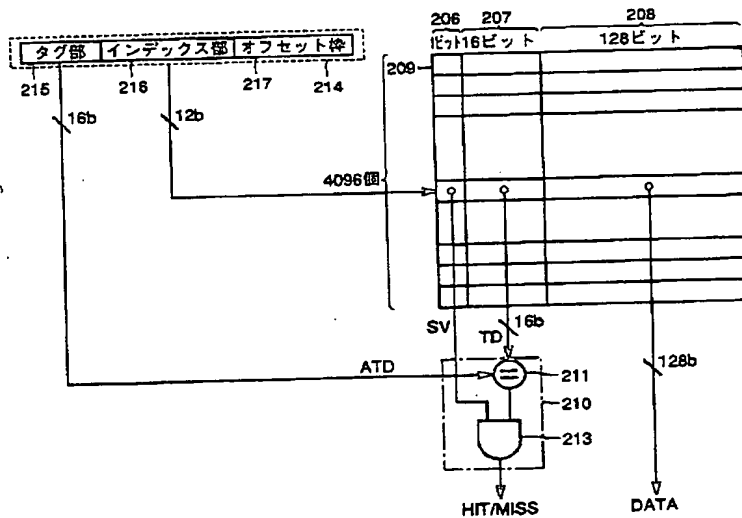
【図13】



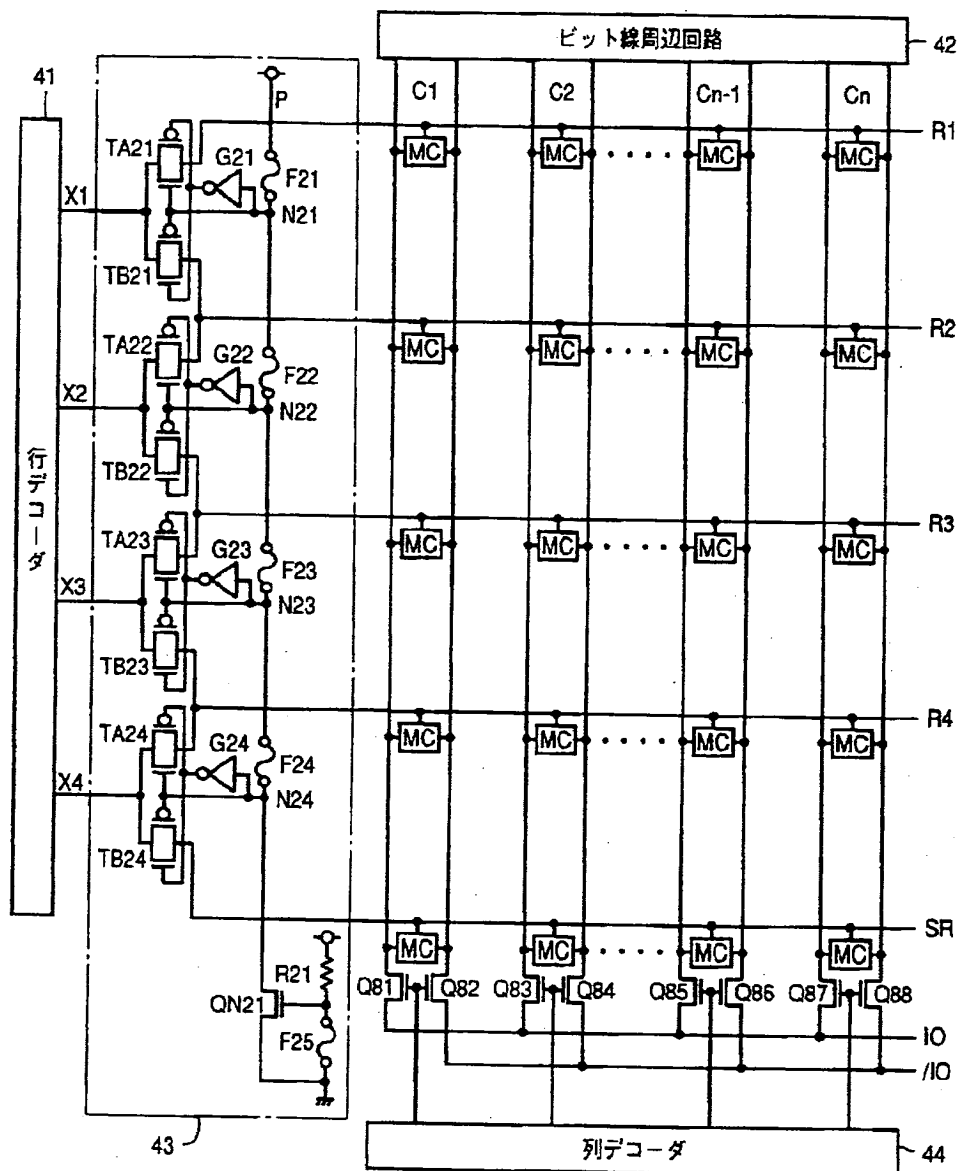
【図15】



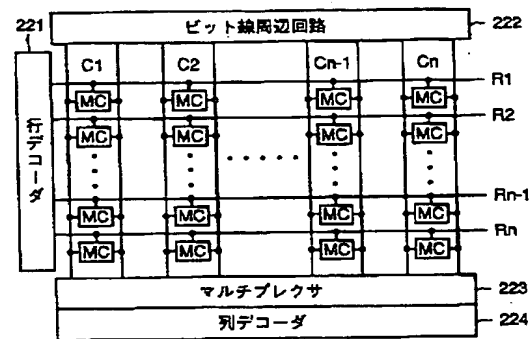
【図16】



【図11】



【図17】



フロントページの続き

(72)発明者 佐藤 広利

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

THIS PAGE BLANK (USPTO)